

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 03228266 A

(43) Date of publication of application: 09 . 10 . 91

(51) Int. Cl

G11B 20/12**G11B 7/00**

(21) Application number: 02021828

(71) Applicant: KENWOOD CORP

(22) Date of filing: 31 . 01 . 90

(72) Inventor: SATO MASAHIRO

(54) CONSECUTIVE RECORDING METHOD FOR
OPTICAL DISK

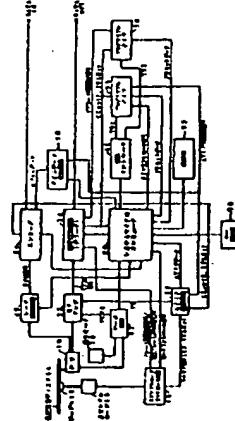
increasing.

COPYRIGHT: (C)1991,JPO&Japio

(57) Abstract:

PURPOSE: To prevent deviation between a sub code frame and an ATIP frame from increasing by taking an ATIP synchronizing detection signal outputted from an ATIP demodulation circuit as a reference and starting an encoder at a specified fixed time before the point of time when the ATIP synchronizing detection signal related to an ATIP synchronizing signal just before a consecutive recording spot is outputted.

CONSTITUTION: The ATIP (Absolute Time In Pregroove) synchronizing detection signal outputted from the ATIP demodulation circuit 26 is taken as the reference and the encoder 34 is started at the specified fixed time before the point of time when the ATIP synchronizing detection signal related to the ATIP synchronizing signal just before the consecutive recording spot is outputted. Therefore, the position of a sub code synchronizing signal obtained by newly recording is made nearly identical to the position of the corresponding ATIP synchronizing signal. Thus, the deviation between the sub code frame and the ATIP frame is prevented from



⑫ 公開特許公報 (A) 平3-228266

⑬ Int. Cl.

G 11 B 20/12
7/00

識別記号

庁内整理番号

N 9074-5D
7520-5D

⑭ 公開 平成3年(1991)10月9日

審査請求 未請求 請求項の数 1 (全13頁)

⑮ 発明の名称 光ディスクのつなぎ記録方法

⑯ 特願 平2-21828

⑯ 出願 平2(1990)1月31日

⑰ 発明者 佐藤 正浩 東京都渋谷区渋谷2丁目17番5号 株式会社ケンウッド内
 ⑯ 出願人 株式会社ケンウッド 東京都渋谷区渋谷2丁目17番5号
 ⑯ 代理人 弁理士 坪内 康治

明細書

1. 発明の名称

光ディスクのつなぎ記録方法

2. 特許請求の範囲

ユーザデータとタイムデータを含むサブコードを入力して FM変調された所定のデータフレームフォーマットへ変換するエンコーダをつなぎ記録箇所の手前でスタートさせておき、つなぎ記録箇所でレーザ変調装置に対しレーダパワー可変モード設定を行うようにした光ディスクのつなぎ記録方法について。

ATIP変調装置から出力されるATIP周波数信号を基準にして、つなぎ記録箇所の直前のATIP周波数信号に係るATIP周波数信号の直方図より直前の一定時間帯でエンコーダをスタートさせること。

を特徴とする光ディスクのつなぎ記録方法。

3. 説明の詳細な説明

【原理上の構成分離】

この発明は光ディスクのつなぎ記録方法に係り、

とくにつなぎ記録によるサブコードフレームと ATIPフレームのずれを最小限に抑えるようにした光ディスクのつなぎ記録方法に関する。

【従来の技術】

例えば直記型光ディスクは、ユーザ側でディスクに1回だけデータを記録できるようにしたものであり、この直記型光ディスクには予めトラック位置を定めるガイド溝(アリダループ)がスパイラル状に形成されている。

このガイド溝は、バイブルーズ信号で変調されたATIP(Absolute Time In Progress)データが22.85kHzのキャリア周波数によるFM変調で記録されている。

22.85kHzのキャリアは記録時にかかるスピンドルモータのOCLV装置に利用される。

ATIPデータは、ユーザデータの記録・再生時に常にATIP変調装置で複数され、システムマイクロコンピュータへ出力される。

ATIPデータは、ディスクの内周側から外周側に向かって単調に増大する絶対時間データであ

ク CLK_{ref} 単位で ± 10 クロック程度とされている。

【発明が解決しようとする課題】

しかしながら、上記した従来のつなぎ記録方法では、システムマイクロコンピュータがエンコーダに対しスタートコントロールを行ってから、エンコーダから EFM 調制された最初のサブコード同期信号の S₀ の出力が始まるまでの時間は厳密には一定しておらず、1.2 クロック (CLK_{ref}) 程度のバラツキがある。

このため、前回記録した最後のサブコード同期信号と新たに記録される最初のサブコード同期信号との間隔は 9.8 クロック (CLK_{ref}) より 1.2 クロック程度ずれが生じることがあり、つなぎ記録を何回か行ったとき、それが累積されてディスクに記録されたサブコードフレームと ATIP フレームのずれが大きくなってしまう恐れがあった。

この発明は上記した従来の問題に鑑みなされたもので、つなぎ記録の繰り返しに関わらず、サブコードフレームと ATIP フレームのずれが大きくならない光ディスクのつなぎ記録方法を提供す

ることを、その目的とする。

【課題を解決するための手段】

この発明の光ディスクのつなぎ記録方法は、ユーザデータとタイムデータを含むサブコードを入力して EFM 調制された所定のデータフレームフォーマットへ変換するエンコーダをつなぎ記録箇所の直前でスクートさせておき、つなぎ記録箇所でレーダ変調回路に対しレーダパワー可変モード設定を行うようにした光ディスクのつなぎ記録方法において、ATIP 後調回路から出力される ATIP 同期検出信号を基準にして、つなぎ記録箇所の直前の ATIP 同期信号に係る ATIP 同期検出信号の出力時点より所定の一定時間前でエンコーダをスクートさせることを特徴としている。

【実施例】

次にこの発明の 1 つの実施例を第 1 図を参照して説明する。

第 1 図は、この発明に係る追記型光ディスク記録再生装置を示すブロック図である。

スピンドルモータ 10 に直結されたテーブル 12 に追記型光ディスク（以下、單に「ディスク」という） 14 がセットされておる。

スピンドルモータ 10 はスピンドルモータコントロール回路 16 により回転制御される。

スピンドルモータコントロール回路 16 は、システムマイクロコンピュータ 28 の制御に従い、後述するデコーダ 24 から出力されるフレーム同期検出信号または置換フレーム同期検出信号に基づくラフターボモードまたは精度サーボモード（ユーザデータの再生時やサーチ時）と、ATIP 同期回路 26 から出力される 22.05MHz のキャリア信号に基づくワップルモード（ユーザデータの記録時）とに切り替えられる。

ディスク 14 の下側には光ピックアップ 18 が配置されている。

光ピックアップ 18 の出力側には RF アンプ 22 が接続されており、EFM 信号、トラッキング

エラー信号 TE、フォーカシングエラー信号 PE が作成される。EFM 信号は信号処理回路（以下、「デコーダ」と言う） 24 へ出力され、トラッキングエラー信号 TE は ATIP 後調回路 26 とサーボ回路 32、フォーカシングエラー信号 PE はサーボ回路 32 へ出力される。

デコーダ 24 は EFM 信号からユーザデータとサブコードの復調を行い、前者をデータ出力端子 DATA OUT から出力し、後者をクロック CLK_{ref} とともにシステムマイクロコンピュータ 28 へ出力する。

またデコーダ 24 はサブコードの復調時に、サブコードフレーム単位でデータの正誤判定を行い、1 つのサブコードフレームの CRC データの入力が終わった時点で「0」（正のとき）または「1」（誤のとき）のエラーチェック信号をシステムマイクロコンピュータ 28 へ出力したり、サブコード同期信号を検出してサブコード同期検出信号を外部へ出力したりする。

サブコード同期検出信号とクロック CLK_{ref} はレーダパワー可変モードスタートタイミング用のプロ

グラマブルタイム30へ出力される。

デコード24は、またフレーム同期検出信号または画像フレーム同期検出信号も出力する。

サーボ回路32は、光ピックアップ18と送りモータ20に対するフォーカシング制御とトラッキング制御を行う。

サーボ回路32のサーボオン・オフ制御はシステムマイクロコンピュータ28の制御によってなされる。

ATIP復調回路26は、トラッキングエラーバイナリ信号TEに含まれる22.05kHzのキャリア信号をCLV制御用にスピンドルモータコントロール回路16へ出力し、またバイフェーズ変調されたATIPデータの復調を行ってATIPデータをシステムマイクロコンピュータ28へ出力し、3.15kHzのクロックCKLをエンコーダ34へ出力する。またATIP同期検出信号をエンコーダスタートタイミング用のプログラマブルタイム36へ出力する。

エンコーダ34には、外部からユーザデータが

入力されるとともに、タイムデータ発生回路38からA-タイムデータが入力される。

エンコーダ34はユーザデータの記録時にシステムマイクロコンピュータ28の制御で所定のタイミングでスタートされると、クロックCKLに従いユーザデータとA-タイムデータを入力してEFM変調された所定のフレームフォーマットに変換しながら出力側に接続されたレーダ変調回路40へ出力する。

レーダ変調回路40は、システムマイクロコンピュータ28の制御によりレーダパワー固定モードの設定がなされると、光ピックアップ18の半導体レーダのパワーを再生用の所定の一一定レベルに固定させる。逆に、システムマイクロコンピュータ28の制御によりレーダパワー可変モードの設定がなされると、レーダパワーを記録用の所定の高レベルとさせ、かつ、エンコーダ34から入力するEFM信号に従いオン・オフさせる。

タイムデータ発生回路38は、システムマイクロコンピュータ28によって或るA-タイムデータ

が初期設定されると、以降ATIP復調回路26からATIP同期検出信号を入力する度に1フレームずつ更新したA-タイムデータを発生する機能を有している。

エンコーダスタートタイミング用のプログラマブルタイム36は、第2図に示すようにシステムマイクロコンピュータ28からのタイムコントロール信号とATIP復調回路26からのATIP同期検出信号を入力するAND回路42と、AND回路42の出力端がゲート端子と接続され、デコード24からのクロックCKLがクロック端子に入力されるプログラマブルカウンタ44から成り、このプログラマブルカウンタ44のプリセットデータ入力端子PD16がシステムマイクロコンピュータ28と接続されている。

クロックCKL単位で或る範囲に対応するプリセットデータがプログラマブルカウンタ44にプリセットされた後、AND回路42からゲート端子にバルスが入力されるとプログラマブルカウンタ44はカウント動作モードとなるとともにダウン

カウントを開始し、計数値が「-1」になったところでタイムアップ信号TU1を割り込みコントローラ46へ出力する。

また、レーダパワー可変モードスタートタイミング用のプログラマブルタイム30は、ゲート端子にサブコード同期検出信号が入力されるとともにクロック端子にクロックCKLが入力されたプログラマブルカウンタ48から成り、セットのパワーオン時にシステムマイクロコンピュータ28によってクロックCKL単位で所定の一一定間に応応するプリセットデータ（この実施例では「25」）がプリセットされる。

このプログラマブルタイム30は、第3図に示すようにゲート端子にサブコード同期検出信号が入力される度に、カウント動作モードとなるとともに「25」からのダウンカウントを開始し、計数値が「-1」になる度にタイムアップ信号TU2を割り込みコントローラ46へ出力する。

割り込みコントローラ46は、システムマイクロコンピュータ28によってエンコーダスタート

標準のサーチを行う。

サーチ中、システムマイクロコンピュータ28はレーダ变调回路40をレーダパワー固定モードに設定する。

そして目標値から±15フレーム以内に来たところで、サーチ完了としRECボーズ制御を行う(ステップ64、66)。

このときスピンドルモータコントロール回路16はワップルモードに切り替え、ATIP復調回路26から出力されるキャリア信号に基づき回転制御を行わせるようとする。

ATIP復調回路26は、バイフェーズ信号から形成した3.13kHzのクロック Cl_{sr} をエンコーダ34へ出力する。

デコーダ24のエラーチェック信号出力は「L」となっている。

この状態でユーザはデータ入力端子DATA INにユーザデータを入力させキー操作部50のPAUSE解除キーをオンする。

するとキー操作部50から入力されたキーオン

これまでに入力した直前のサブコードフレームに係るA-タイムデータを読み取ってWとする(ステップ74、75)。

Wは今の場合、32分15秒42フレームとなる。

そして、システムマイクロコンピュータ28は直ちに $(AT_1 - (W+2)) \times 98 + 80$ の計算を行い、ATIPデータが1つおいた次の値($W+2$ フレーム-32分15秒44フレーム)となっているATIPフレームに係るATIP同期検出信号がATIP復調回路26から出力されるタイミングを起点(第7図のi3、第8図のi3'参照)とし、つなぎ記憶装置の直前のATIP同期信号(32分15秒47フレームのATIPフレームに係る)をATIP復調回路26が検出するタイミングから18クロック(Cl_{sr})分前の時点までの期間をクロック Cl_{sr} 単位で求め、計算結果(98+98+80-276)をプログラマブルタイマ36のプログラマブルカウンタ44にプリセットする(ステップ76)。

そして、クロック Cl_{sr} 単位で14クロック分に

信号に付勢されてシステムマイクロコンピュータ28は、RECボーズ解除制御を行い、光ピックアップ18のトラッキング動作を開始させる(ステップ68、70)。

ATIP復調回路26はトラッキングエラー信号TEからATIP復調動作を行い、ATIP同期信号を検出したときATIP同期検出信号を出力する。

一方、デコーダ24はBFM信号からのサブコードの復調を開始し、システムマイクロコンピュータ28はQチャンネルデータをクロック Cl_{sr} に従いシリアルに入力していく(ステップ72)。

デコーダ24は、1サブコードフレーム分のQチャンネルデータのエラーチェックの結果が正しいとき、次のサブコードフレームに係るサブコード同期信号の入力が開始する時点でエラーチェック信号を「H」とする(ここでは一例として第7図のi1、第8図のi1'のタイミングとする)。

システムマイクロコンピュータ28は、エラーチェック信号が「L」から「H」に変わると、そ

相当する回数だけ待ったあと(ステップ77)、プログラマブルタイマ36のAND回路42へ出力しているタイムコントロール信号を「H」レベルとし、計時動作を許可するとともに割り込みコントローラ46に割りエンコーダスタート割り込み許可信号を出力し、エンコーダスタート割り込みを許可する(ステップ78、第7図のi2、第8図のi2')。

割り込みコントローラ46は、エンコーダスタート割り込み許可信号が入力されると、エンコーダスタート割り込み許可状態となり、この状態でプログラマブルタイマ36からタイムアップ信号TU1を入力するとシステムマイクロコンピュータ28に割りエンコーダスタート割り込みを開始する。

プログラマブルタイマ36はATIP復調回路26から32分15秒44フレームのATIPフレームに係るATIP同期検出信号がATIP復調回路26から出力された時点(第7図i3、第8図のi3'参照)でカウント動作モードとなるとと

もにプリセット値からのカウントダウン動作を開始する。

最初のカウントダウンはATIP同期検出信号の入力でなされて計数値が「275」となり、以降のカウントダウンはデコード24から人力するクロックCK₂₀に従いなされる。

またシステムマイクロコンピュータ28は、ステップ78においてW+1フレーム-32分15秒43フレームのA-タイムデータをタイムデータ発生回路38にセットする。

タイムデータ発生回路38は、以降、ATIP復調回路26からATIPフレーム同期検出信号を入力する度に、セットされたA-タイムデータから1フレームずつアップしたA-タイムデータを発生しエンコード34へ出力する。

具体的には、第7回のt3(第8回のt3')で32分15秒44フレーム、t4(第8回のt4')で32分15秒45フレームとなっていく。

ここでステップ77の処理を行うのは、前回のユーザデータの記録時に一緒に記録されたサブコ

ード同期信号のスタートポイントとATIP同期信号の最後のビットとの間に有る最大で10クロック(CK₂₀)分程度の間隔のずれにより、エンコードスタートタイミングに誤りが生じるのを防ぐためである。

仮に、プログラマブルタイマ36へのプリセットと同時にタイマコントロール信号を「H」にすると、例えば第7回のように前回の記録によるサブコードフレームがATIPフレームより遅れているときはATIP復調回路26から、32分15秒44フレームのATIPフレームに係るATIP同期検出信号が outputされた時点(第7回のt3参照)でカウントダウン動作を開始するのでよいが、逆に第8回のようにサブコードフレームがATIPフレームより遅れているときはATIP復調回路26から、32分15秒43フレームのATIPフレームに係るATIP同期検出信号が outputされた時点(第8回のt3'参照)でカウントダウン動作を開始してしまい、1フレーム分早くなってしまう。

このため、ステップ77のように処理することで確実にATIP復調回路26から32分15秒44フレームのATIPフレームに係るATIP同期検出信号が outputされた時点でカウントダウン動作を開始させるようにしたものである。

プログラマブルタイマ36はクロックCK₂₀に従いカウントダウンしている、32分15秒45フレームに係るATIPフレームでATIP同期検出信号が outputされてから80クロック(CK₂₀)目で計数値が「-1」になる(第7回のt5、第8回のt5'参照)。

するとプログラマブルタイマ36はタイムアップ信号TUIを割り込みコントローラ46へ出力する。

タイムアップ信号TUIを入力した割り込みコントローラ46は、システムマイクロコンピュータ28へエンコードスタート割り込みバスを出力する。

システムマイクロコンピュータ28はステップ78の処理のあと、レーダパワー可変モードフラ

グAが所定の一定時間(例えば5秒)以内に立ったか否か判定しており(ステップ80、82の繰り返し)、エンコードスタート割り込みバスが入力されると割り込みを生じて第5回のエンコードスタート割り込み処理を実行する。

即ち、まずエンコード34に対しスタート制御を行いエンコード34のエンコード動作をスタートさせたあと(ステップ100)、割り込みコントローラ46にエンコードスタート割り込み禁止信号を outputしてエンコードスタート割り込みに対するマスクを掛け(ステップ102)、プログラマブルタイマ36のAND回路42へ出力しているタイマコントロール信号を「L」に置とす(ステップ104)。

これにより、プログラマブルタイマ36のプログラマブルカウンタ44が再度カウント動作を開始するのを禁止し、かつ、仮にプログラマブルタイマ36からタイムアップ信号TUIが outputされても割り込みコントローラ46が再度エンコードスタート割り込みバスを出力しないようにする。

レーザパワー可変モードスタート割り込みを掛けない。

レーザ変調回路40は、前回記録した最後のサブコード同期信号が検出されてから25クロック(CK_{ss})後にスタートされるので、結局、前回記録した最後のサブコード同期信号のスタートポイントより26クロック(CK_{ss})後でレーザパワーの可変を開始させることになる。

よってディスク14では前回記録時の最後の記録点Pに連続して今回の記録が開始されることになる。

つなぎ記録箇所における基準上の記録開始点は、前回記録した最後のサブコード同期信号のスタートポイントより $26 + 1/-1$ クロック(CK_{ss})の範囲であり、記録終了点は最後のサブコード同期信号より $26 + 0/-1$ クロック(CK_{ss})の範囲である。

エンコーダ34では、ATIP同期信号の最終ビットの近傍で、サブコード同期信号のSの出力が開始されるようなタイミングでサブコードの

フォーマット実績がなされている。

エンコーダ34の実際のスタートタイミングは32分15秒46フレームのATIPフレームに保るATIP同期検出信号より80クロック(CK_{ss})目から1,2クロック(CK_{ss})程度バラツクことから、つなぎ記録箇所以降に記録されるサブコード同期信号のスタートポイントとATIP同期信号の最後のビットとのずれは最大でも数クロック(CK_{ss})程度に収まる。

よって、前回記録されたサブコード同期信号のスタートポイントとATIP同期信号の最後のビットとの間に±10クロック(CK_{ss})程度の範囲で大きなずれがあるても、今回の記録ではそのずれが最大で数クロック(CK_{ss})程度に抑えられ、つなぎ記録によりずれが増大する恐れがなくなる。

システムマイクロコンピュータ28は第6図の割り込み処理を実行したあと、第4図のステップ80、82に戻り、ステップ80でYESと判断して、所定の記録処理を継続する(ステップ84)。この記録処理ではサブコード中のQチャンネ

ルのA-タイムデータなどの表示制御などがなされる。

若し、ステップ78の処理のあと5秒以内にレーザパワー可変モード設定スタートフラグAが立たなかったときは、ステップ82でYBSと判断し、エラー表示制御など所定のエラー処理を行う(ステップ86)。

この実施例によれば、前回記録した最後のサブコードフレームより所定のサブコードフレーム数以上前の位置のA-タイムをシステムマイクロコンピュータ28が読み、次のATIP同期検出信号の出力時点を起点とし、つなぎ記録箇所の直前のATIP同期信号をATIP復調回路26が検出する時点より18クロック(CK_{ss})前の時点までの範囲を計算してエンコーダスタートタイミング用のプログラムブルタイム30を設定し、このプログラムブルタイム30を前記起点で計時を開始させ、プログラムブルタイム30が設定期間を計時し終わった時点でシステムマイクロコンピュータ28のスタート制御でエンコーダ34をスタ

ートさせ、エンコーダスタート後にデコード34からサブコード同期検出信号が出力された時点でレーザパワー可変モードスタートタイミング用のプログラムブルタイム30の計時を開始させ、このプログラムブルタイム30が25クロック(CK_{ss})分の範囲を計時したところでシステムマイクロコンピュータ28の制御でレーザ変調回路40に対しレーザパワー可変モード設定を行って、ATIP復調回路26から出力されるATIP同期検出信号を基準にして、つなぎ記録箇所の直前のATIP同期信号に保るATIP同期検出信号の出力時点から見てエンコーダがスタートしてから最初のサブコード同期信号のSの出力を開始するまでに必要な所定の一定時間前でエンコーダをスタートさせるようにしたことにより、新たに記録されるサブコード同期信号のスタートポイントを対応するATIP同期信号の最後のビットの位置とはは同一とすることができ、つなぎ記録によるサブコードフレームとATIPフレームのずれの増大を防止できる。

また、前回記録した最後の完全なサブコードフレームより、一定フレーム数以上前のサブコードフレームに対応するATIPフレームのATIP同期検出信号の出力時点を起点としたプログラマブルタイマの計時でエンコーダスタートタイミングを決定するようにしているので、前回記録した最後のサブコードフレーム自体をサーチする必要がなく、前回ディスク18に記録した最後のサブコードフレームのA-タイムデータに何らかの理由でエラーが生じていても前回記録した最後のサブコード同期信号にエラーが生じていなければ确实に所定のつなぎ記録箇所でのつなぎ記録を行うことができる。

なお、上記した実施例では、第7回のL3(第8回のL3')をプログラマブルタイマ36に設定する範囲の起点としたが、第7回のL4やL5(第8回のL4'やL5')を起点としてもよい。

またつなぎ記録箇所の直前のATIP同期信号をATIP復調回路で検出するタイミングより18クロック(CK_m)前でエンコーダをスタートさ

とにより、新たな記録によるサブコード同期信号の位置(サブコード同期信号のスタートポイント)を対応するATIP同期信号の位置(ATIP同期信号の最終ビットの位置)とほぼ同一化することができ、つなぎ記録によるサブコードフレームとATIPフレームのずれの増大を防止できる。

4. 図面の簡単な説明

第1図はこの発明の1つの実施例に係るCD-WOディスク記録再生装置のブロック図、第2図は第1図中のエンコーダスタートタイミング用のプログラマブルタイマの具体的な回路図、第3図は第1図中のレーダパワー司度モードスタートタイミング用のプログラマブルタイマの具体的な回路図、第4図乃至第6図は第1図中のシステムマイクロコンピュータの動作を示すフローチャート、第7図と第8図は第1図に示すCD-WOディスク記録再生装置のつなぎ記録動作を示すタイムチャート、第9図はATIPフレームフォーマットとATIP復調回路から出力されるATIP同期検出信号の関係を示す説明図、第10図はQチャ

せるようにしたが、この発明は何らこれに限定されるものではなく、(18+98)クロック(CK_m)前や、(18+98×2)クロック(CK_m)前などでスタートさせてもよく、要は、

(18+98×n)クロック(CK_m)→(1)
但し、nは1, 2, 3, ...。

の式で示す時間だけ前でスタートさせるようすればよい。また、(1)式中の18も何らこれに限定されず、エンコーダの種類や各回路の操作タイミングを考慮し17や19など他の固定値に変更してもよく、要は、新たな記録によるサブコード同期信号のスタートポイントが対応するATIP同期信号の最終ビットとほぼ同一の位置となるようにすればよい。

【発明の効果】

この発明によれば、ATIP復調回路から出力されるATIP同期検出信号を基準にして、つなぎ記録箇所の直前のATIP同期信号に係るATIP同期検出信号の出力時点より所定の一一定時間前でエンコーダをスタートさせるようにしたこ

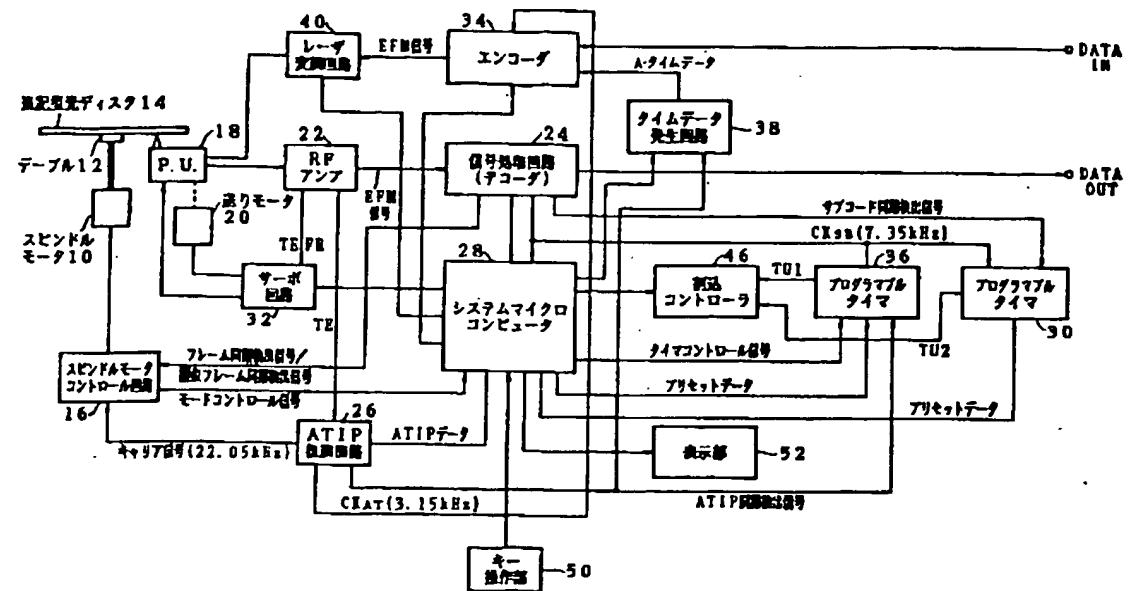
ンセルのサブコードフレームフォーマットと信号処理回路から出力されるサブコード同期検出信号の関係を示す説明図である。

主な符号の説明

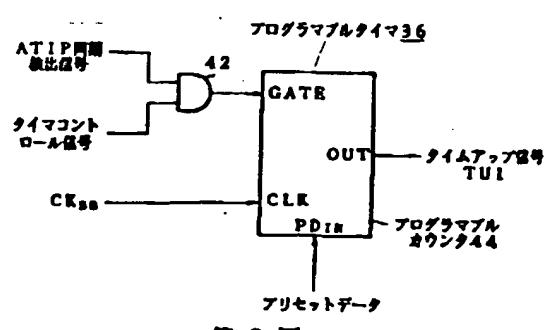
- 14: 造記型光ディスク、18: 光ピッタアップ、
- 24: 信号処理回路、
- 26: ATIP復調回路、
- 28: システムマイクロコンピュータ、
- 30, 36: プログラマブルタイマ、
- 34: エンコーダ、40: レーダ復調回路、
- 46: 朝り込みコントローラ。

許出願人 株式会社ケンウッド
代理人弁理士 岸内康治

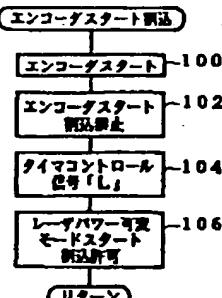




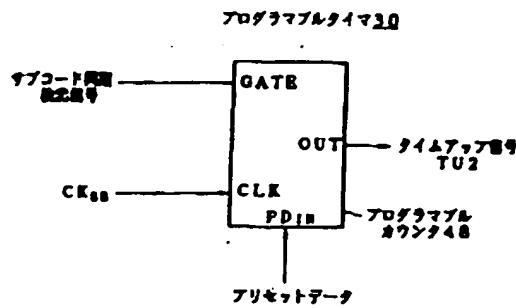
第 1 圖



第2圖



第5回



五三四

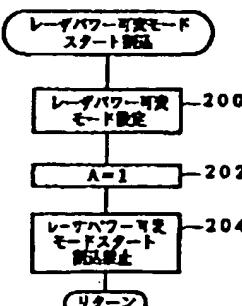
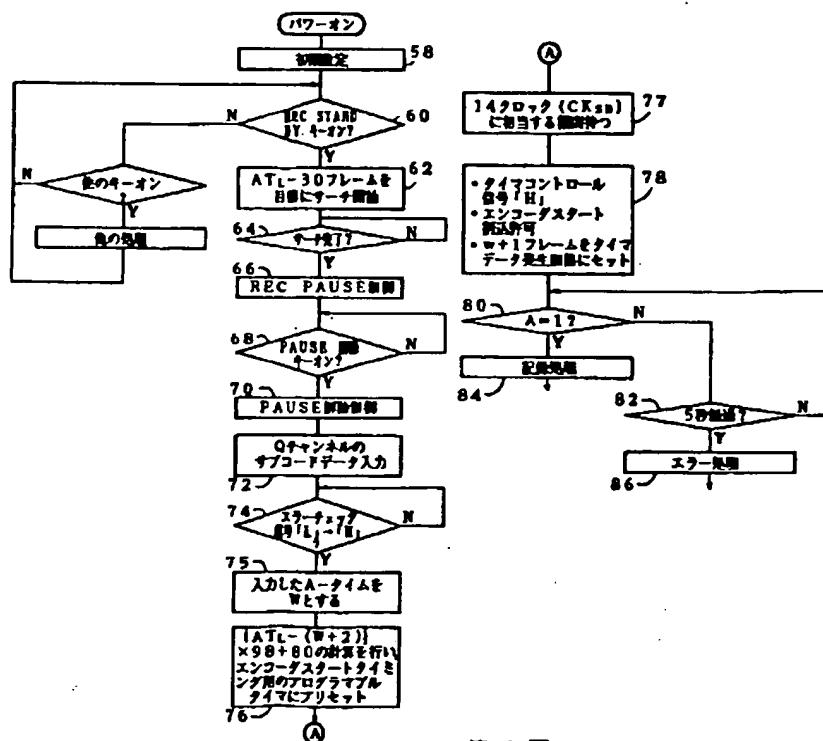
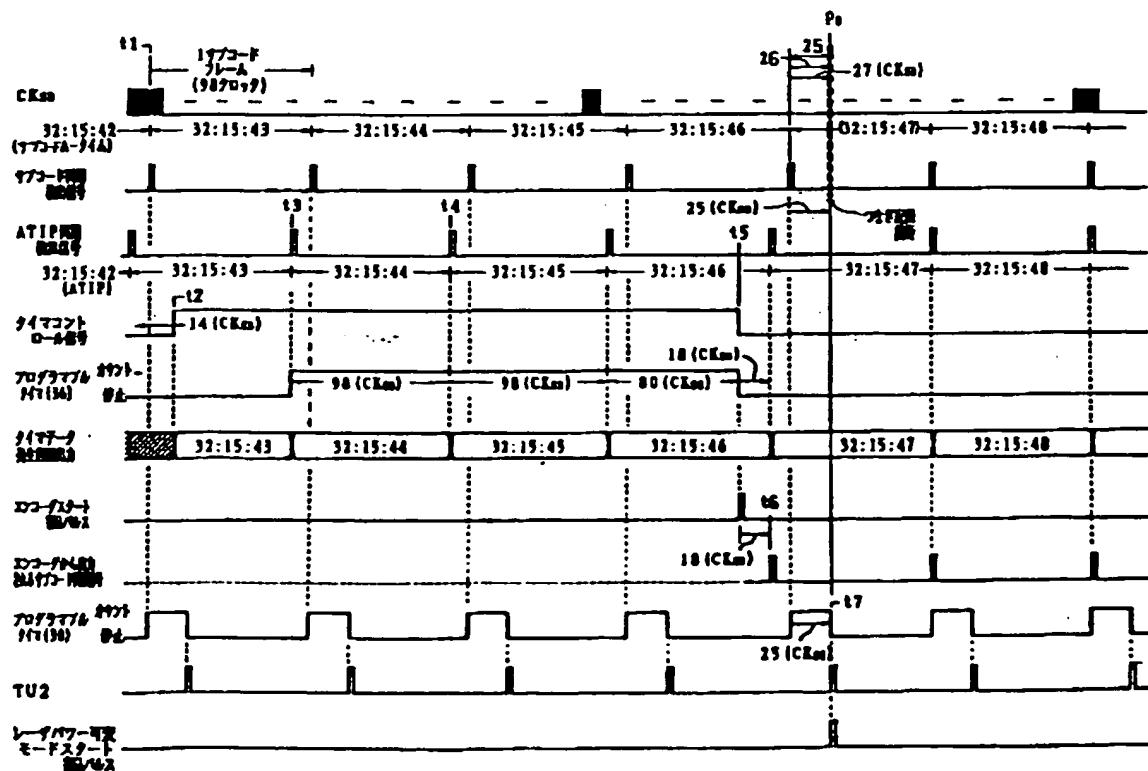


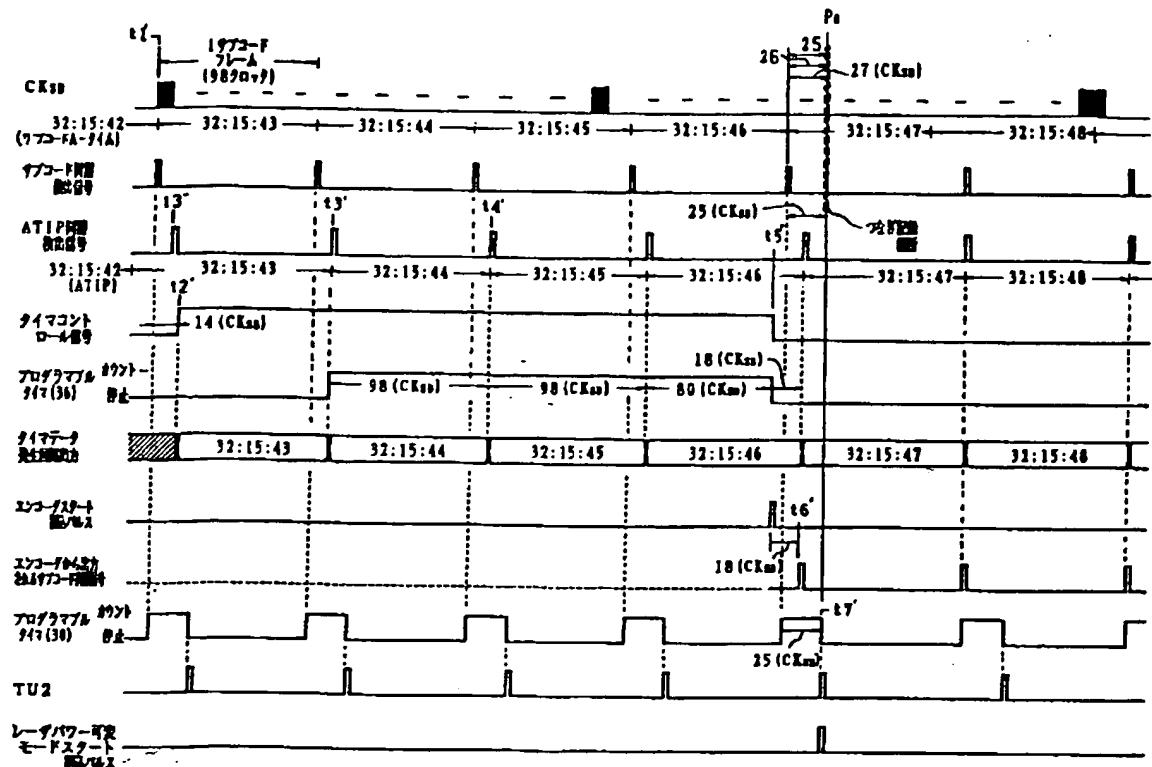
图 6



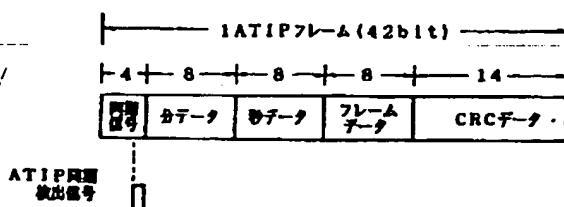
第4図



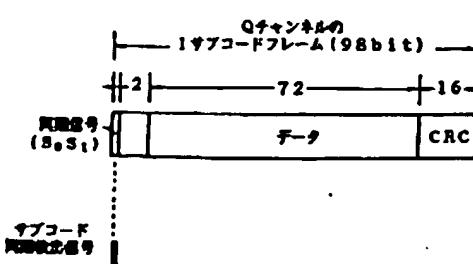
第7図



第 8 圖



第 9 題



第10回